

دانشگاه صنعتی شریف

دانشکده‌ی مهندسی برق

آزمایشگاه مدارها‌ی منطقی و سیستم های دیجیتال

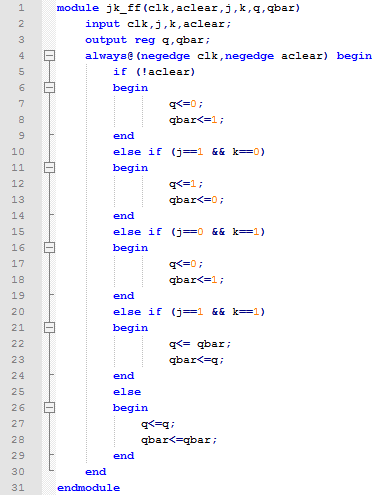
گزارش آزمایش جلسه 8

سید‌بردیا برائی‌نژاد (92101669)

مهدی میر (92102846)

استاد: دکتر تابنده

1.

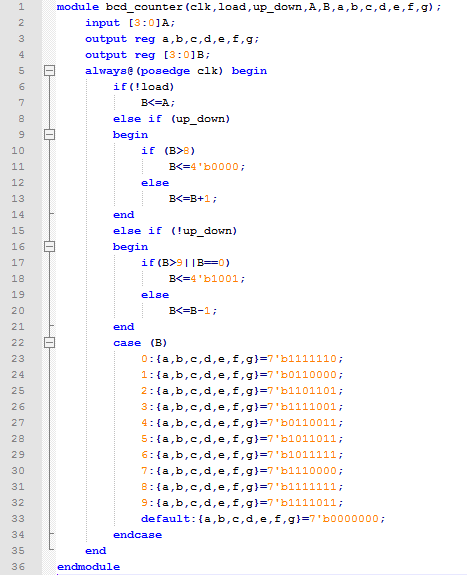


نتایج به صورت زیر بود:

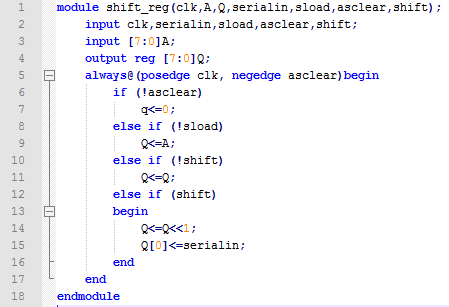
برای ورودی های 0 و 0 خروجی بدون تغییر، برای 0 و 1 خروجی 0 و برای ورودی ها ی 1 و 0 خروجی 1 می باشد.

برای 1 و 1 نیز خروجی متناوبا 0 و 1 می گردد.

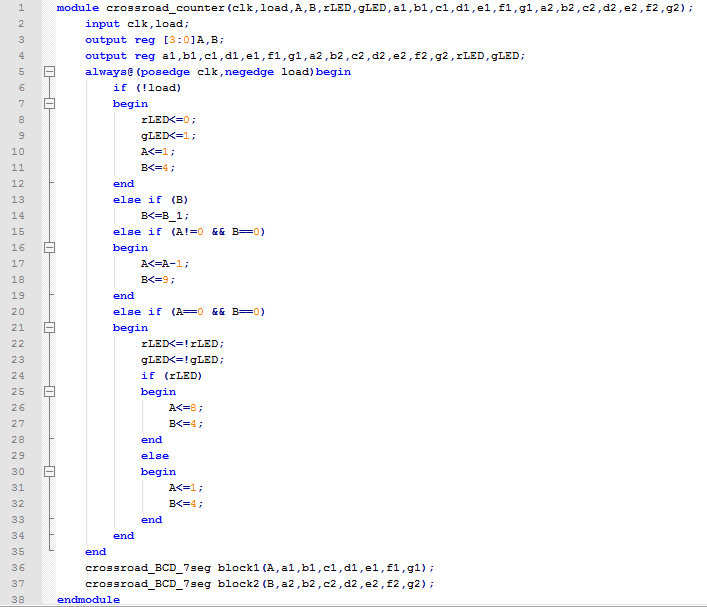
2.

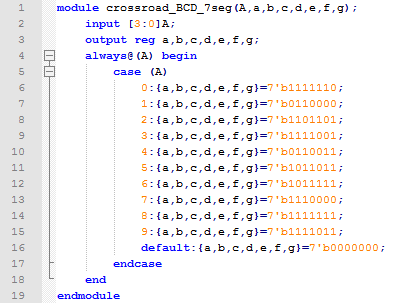


3.



4.





پرسش 1:

با قرار دادن مقاومت در مسیر ال ای دی ها ی سون سگمنت جلوی سوختن آن ها را با محدود کردن جریان می گیریم.

پرسش 2:

JTAG چیست ؟  
  
یا Joint Test Action Group استانداردی است که توسط شرکتهای کلیدی تولید کننده PCB و IC تهیه و تدوین گردید و در سال 1990 به عنوان استاندارد در IEEE با شماره IEEE1149.1-1990 به ثبت رسید البته با نام کامل:  
  
  
  
در این استاندارد سخت افزار و نرم افزار مورد نیاز برای فعال کردن قابلیت تست و ارتباط با دنیای خارج از آی سی ها و میکروکنترلر ها ارایه شده است .  
  
در سال 1993 و همچنین در سال 1995 در این استاندارد تجدید نظرهایی شد و با شماره های IEEE1149.1a-1993 و IEEE1149.1b-1995 ارایه شد.  
  
  
معماری سخت افزاری پین های پورت JTAG  
  
هر وسیله ای که با استاندارد Jtag سازگار باشد لازم است تا پین های زیر را داشته باشد :  
  
  
ورودی که جدا از clock سیستم می باشد. Test Clock Input TCK  
از طریق این پورت دیتا به وسیله سازگار با Jtag وارد می شود. Test Data In TDI  
از طریق این پورت داده ها از وسیله سازگار با Jtag خارج می گردد. Test Data Out TDO  
از طریق این پورت حالتهای مختلف تست که در استاندارد مذکور ذکر شده انتخاب می شود. Test Mode Select TMS  
این پین امکان راه اندازی غیر همزمان TAP Controller را فراهم می کند. Test Reset Input TRST  
  
  
چهار پین نخست برای ارتباط لازم است ولی پین آخر می تواند اختیاری باشد.  
چیست ؟  
  
این بخش دسترسی به بسیاری از توابع داخلی موجود برای تست کردن وسیله سازگار با Jtag را فراهم می کند.  
  
  
کنترل کننده سخت افزاری JTAG:  
  
شما برای برقرای ارتباط با وسیله سازگار با JTAG نیاز به استفاده از یک کنترل کننده سخت افزاری دارید که یا به صورت کارت در داخل کامپیوتر قرار می گیرد و یا اینکه از پروگرامر برای ایجاد ارتباط استفاده می کند.  
  
وسیله سازگار با JTAG باید به تمام آدرس های حافظه فلش و سیگنال های کنترل و دیتا متصل باشد.  
  
لزومی ندارد که فلش شما سازگار با استانداردهای Jtag باشد چرا که دستگاه شما دیتا را از کنترل کننده سخت افزاری دریافت نموده و از آن جهت که به تمام فلش دسترسی دارد آن را جای مورد نظر می نویسد. و یا از جای مورد نظر می خواند و به کنترل کننده انتقال می دهد.  
  
خب تا اینجا راجع به تئوری قضایا صحبت شد.  
  
از این جا به بعد می پردازم به بحث دستگاهای گیرنده دیجیتال  
  
تقریبا 80 درصد رسیور ها که امروزه در بازار موجود می باشند دارای CPU از نوع ST می باشند و عمدتا از نوع :  
  
  
  
STI5516  
  
STI5512  
  
STI5500  
  
STI5518 وتمامی این CPU ها سازگار با JTAG می باشند، یعنی در داخل این CPU هاTAP Controller و Register های مربوط موجود می باشد.  
  
و در نتیجه 5 پین مذکور در بالا در آنها کوجود می باشد.  
  
فقط مهم پیدا کردن آنهاست که آن هم از Data Sheet CPU ها قابل استخراج می باشد.  
  
خب بینیم که برای برقرای ارتباط به چه چیزهای نیاز داریم  
  
1- یک کامپیوتر  
  
2- نرم افزای که از طریق یک اینتر فیس با دستگاه ارتباط برقرار کند.  
  
3- یک رابط یا اینتر فیس برای انتقال داده به کامپیوتر  
  
کامپیوتر که حتما دارید  
  
در مورد مورد نرم افزار هم معمولا از JKEY استفاده می شود البته استفاده از آن هم فوت و فن های خودش را دارد به عنوان مثال لازم است تا با داشتن اطلاعاتی راجع به نوع و مارک فلش موجود در دستگاهتان آن را در صورت عدم وجود برای برنامه معرفی کنید.  
  
می رسیم به واسط یا اینتر فیس  
  
امروزه اینترفیس های ساخته شده توسط شرکتهای مختلف موجود می باشد که قابل خرید می باشند از جمله معتبرترین آنها FLASH LINK می باشد که ساخت شرکت ST یعنی شرکت تولید کننده CPU های STI .  
  
به صورت آماتوری نیز مدل های مختلفی ارائه شده است که معمولا البته با امکانات کمتر نسبت به مدل های فروشی.  
  
  
یک موضوع راجع به پورت JTAG:  
  
این پورت برروی بعضی از بردها وجود دارد مانند سامسونگ های 9500 قدیمی  
  
جای این پورت 2- پین روی بردهای دیگر هم وجود دارد اما به صورت محو.  
  
  
پین های JTAG  
  
پین های زوج یعنی 2 و 4 و 6 و 8 و 10 و 12 و14 و16 و 18 و 20 به گراند متصل می شوند.  
  
پین های 1 و 7 بدون استفاده  
  
پین 3 گزارش خطا  
  
پین 5 آنالیز cpu  
  
پین 9 TMS  
  
پین 11 TCK  
  
پین 13 TDI  
  
پین 15 TDO  
  
پین 17 متصل به مدار ریست کننده دستگاه  
  
پین 19 TRST  
  
نکته: در مورد CPU های STI یک یا دو پین نیز وجود دارد که تعیین می کند آیا سیستم از روی فلش بوت شود یا از روی لینک بیرونی یا DCU  
  
بنابراین لازم است تا به هنگام استفاده از Jtag وضعیت این پهنا برسی شود.  
  
در cpu های STI5518 این پین شماره 115 cpu است که باید به گراند متصل شود تا سیستم کنترل را به TAP Controller واگذار نماید.  
  
در cpu های STI5500 این پین شماره 27 cpu است که باید low نگه داشته شود.  
  
  
پهنای مورد نیاز در JTAG  
  
در CPU های STI5515 :  
  
Pin 109 : TRST  
  
Pin 110 : TMS  
  
Pin 111 : TDO  
  
Pin 112 : TDI  
  
Pin 113 : TCK  
  
Pin 115 : Boot\_From\_Rom or DCU  
  
در CPU های STI5500 :  
  
Pin 186 : TDI  
  
Pin 187 : TMS  
  
Pin 188 : TCK  
  
Pin 189 : TDO  
  
Pin 190 : TRST  
  
Pin 27 : BRM1/Boot From Rom  
  
در CPU های STI5512 :  
  
J1 TRST  
  
J3 TDO  
  
J4 TDI  
  
J2 TMS  
  
H3 TCK  
  
J19 & J20 Boot Source JTAG IEEE Standard 1149.1-1990 Test Access Portand Boundary-Scan Architecture Clock TAP Controller

کابل ByteBlaster جهت ارتاط بین مدار ها کاربرد دارد. دیتا شیت مخصوص به آن وجود دارد و در مود ها ی JTAG و... عمل می کند.

پرسش 3:

یک آی سی از نوع سری MAX است که قابلیت برنامه ریزی دارد. MAX 7000ها در معماری درونی خود از قسمت های ذیل تشکیل شده اند:

1. Logic Array Blocks

2. Macro cells

3. Expander Product Terms (shareable and parallel)

4. Programmable Interconnect Array

5. I/O Control blocks

که خود ماکروسل های از مدارات منطقی با المان های و گیت های فراوان تشکیل یافته اند.

پرسش 4:

برای غالب عملیات ها حدود 2 تا 10 نانو ثانیه تاخیر انتشار داریم.